

明 細 書

DC/DCコンバータ

技術分野

- [0001] 本発明は、入力する電源電圧を所定のDC電圧に変換するDC/DCコンバータ、特に、カレントモードDC/DCコンバータに関する。

背景技術

- [0002] DC/DCコンバータには、電源を入力する端子と負荷に接続され所定のDC電圧を出力する端子の間にスイッチング素子を設け、このスイッチング素子を開閉することにより所定のDC電圧を保持するタイプのものが存在する。このものは、小型で高効率を達成できるので広く使用されている。そして、そのスイッチング素子の開閉制御には、スイッチング素子に接続されるコイルに流れる電流を検出して、帰還をかける方式(例えば、特許文献1、特許文献2、および特願2003-111242号)がある。この方式を採用したものは、カレントモードDC/DCコンバータと称されている。
- [0003] カレントモードDC/DCコンバータの回路例を図5に示す。このDC/DCコンバータ101は、上記した構成要素に対応するスイッチング素子114とコイル116とを設け、スイッチング素子114を開閉することにより、入力電源(V_{cc})からコイル116を通じて負荷103が接続される出力端子OUTに、所定のDC電圧を保持するよう電力を供給している。
- [0004] DC/DCコンバータ101は、上記のスイッチング素子114とコイル116の他に、スイッチング素子114に直列接続されてそれと交互に開閉動作を行うスイッチング素子115と、コイル116に流れる電流を検出するコイル電流検出抵抗117と、コイル電流検出抵抗117の負荷側に接続され、出力端子OUTの電圧を平滑化する平滑化コンデンサ118と、コイル電流検出抵抗117の負荷側の電圧を検出し、コイル116に流れる最大電流である基準電流値を制御する基準電流値制御回路108と、基準クロックCLKを発生するクロック発生器110と、基準クロックCLKに同期して上記の開閉動作、すなわち、コイル116に流れる電流が上記の基準電流値を越えるまではスイッチング素子114を閉じ(スイッチング素子115を開き)、コイル116に流れる電流が上記の

基準電流値を越えるとスイッチング素子114を開く(スイッチング素子115を閉じる)信号を出力する帰還回路109と、帰還回路109とスイッチング素子114、115の間に設けられたバッファ111、112と、から構成される。

[0005] 特許文献1:特開平11-75367号公報

特許文献2:特開2003-319643号公報

発明の開示

発明が解決しようとする課題

[0006] このDC/DCコンバータ101に用いられる平滑化コンデンサ118は、一般的には、出力電圧のリプル(揺らぎ)を抑えるためや出力電流の変動による過渡応答を良くするために容量値が大きい電解コンデンサが採用されている。

[0007] しかし、電解コンデンサは極性を持つために、過大ノイズや逆接続ミスにより、反対方向に電圧が掛かると破壊することがあり、また、内部構造的に発煙や発火の危険性が有る。また、図7に示すように、一般に、コンデンサは規定の容量Cのほかにはリード線や内部構造に起因するESR(等価直列抵抗)が存在するが、電解コンデンサはESRの値(R_{ESR})が大きいため、かえって、リプル電圧を大きくしていた。

[0008] そこで、極性を持たず、しかも発煙や発火の危険性がなく、また、ESRの値(R_{ESR})が小さいセラミックコンデンサの採用が考えられる。しかし、図5に示す回路において電解コンデンサをセラミックコンデンサに置き換えた場合、以下に説明するアンダーシュートやオーバシュートが生じるという問題がある。

[0009] すなわち、一般に、負荷の変動に応じて出力電流の急激な変動が起こった場合、DC/DCコンバータ101がフィードバックにより応答するまで、アンダーシュートやオーバシュートが発生する。DC/DCコンバータ101に容量値が大きい電解コンデンサが用いられている場合は、その蓄積した電荷によりこれらのアンダーシュートやオーバシュートは問題にならない程度に抑制されるが、セラミックコンデンサは容量値が小さいため、アンダーシュートやオーバシュートを十分には抑制できず、過渡応答が悪くなるという問題があった。この現象を示すのが図6(a)および(b)である。DC/Dコンバータ101は、図6(a)のDC特性図に示すように、出力電流 I_o が増加または減少しても出力電圧 V_o を設定電圧 V_{ref} に保とうとする。そして、セラミックコンデンサを用

いた場合、図6(b)の過渡特性に示すように、出力電流の急激な変動が起こった場合には、大きなアンダーシュートやオーバシュートを発生し、これを抑制できないのである。

- [0010] さらに、セラミックコンデンサのESRの値(R_{ESR})が小さいために、DC/DCコンバータ101が発振し易くなるという問題もある。DC/DCコンバータ101は、負荷103と平滑化コンデンサ118により、図8に示す特性曲線Aおよび特性曲線Bのように、1ポール、1ゼロの周波数特性を有する。このポールの周波数(f_p)とゼロの周波数(f_z)は、以下の式で求められる。

$$f_p = 1 / (2\pi \cdot R_o \cdot C_{OUT}) \quad \cdots (1)$$

$$f_z = 1 / (2\pi \cdot R_{ESR} \cdot C_{OUT}) \quad \cdots (2)$$

ここで、 R_o は負荷の抵抗値、 C_{OUT} は平滑化コンデンサ118の容量値、 R_{ESR} は平滑化コンデンサ118のESRの値である。なお、図8は、横軸が対数スケールであり、特性曲線Aと特性曲線Bの f_p を一致させて示したものである。

- [0011] f_p と f_z は、その周波数差が大きい程、位相(Phase)の回転の最大角が大きい。例えば、図8において、特性曲線Bの f_p と f_z との周波数差は特性曲線Aよりも大きいので、位相の回転の最大角が大きい。そして、位相の回転の最大角が大きいと、DC/DCコンバータ101を構成する回路(例えば、基準電流値制御回路108、帰還回路109など)における素子の遅延等による位相の回転がさらに加わり、容易に発振を起こす。反対に、周波数差が小さければ、位相はさほど回転せず、発振し難くなる。

- [0012] この(1)、(2)式に、 $R_o = 0.5 \Omega$ とし、平滑化コンデンサ118が電解コンデンサである場合の具体的な値($C_{OUT} = 330 \mu F$ 、 $R_{ESR} = 20 m\Omega$)を当てはめると、 $f_p = 965 \text{ Hz}$ 、 $f_z = 24.1 \text{ KHz}$ となる。したがって、 f_z は f_p の25倍となる。この f_z と f_p との差では、発振は実際起こり難い。一方、平滑化コンデンサ118がセラミックコンデンサである場合の具体的な値($C_{OUT} = 100 \mu F$ 、 $R_{ESR} = 5 m\Omega$)を当てはめると、 $f_p = 3.18 \text{ KHz}$ 、 $f_z = 318 \text{ KHz}$ となる。したがって、 f_z は f_p の100倍となり、その周波数差は大きく、発振が起こり易くなる。なお、 $C_{OUT} = 100 \mu F$ は、セラミックコンデンサの最大級の容量値である。

- [0013] 本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、ESRの

値(R_{ESR})や容量が小さい平滑化コンデンサを採用しても、負荷変動時の過渡応答が悪化することがなく、発振現象の発生も抑制されるDC/DCコンバータを提供することにある。

課題を解決するための手段

- [0014] 上記の課題を解決するために、請求項1に係るDC/DCコンバータは、スイッチング素子を開閉することにより、入力電源から負荷が接続される出力端子にコイルを通じて電力を供給し、出力端子の電圧を調整するDC/DCコンバータにおいて、コイルと出力端子間に介装されてコイル電流を検出する素子と、コイル電流を検出する素子の負荷側に接続されて出力端子の電圧を平滑化する平滑化コンデンサと、コイル電流を検出する素子のコイル側の電圧を検出してコイルに流れる電流の基準電流値を制御する基準電流値制御回路と、クロック発生器の基準クロックに同期してスイッチング素子を閉じ、コイルに流れる電流が基準電流値を越えるとスイッチング素子を開く帰還回路と、を備えてなることを特徴とする。
- [0015] 請求項2に係るDC/DCコンバータは、請求項1に記載のDC/DCコンバータにおいて、前記コイル電流を検出する素子はコイル電流検出抵抗であることを特徴とする。
- [0016] 請求項3に係るDC/DCコンバータは、請求項1又は2に記載のDC/DCコンバータにおいて、前記平滑化コンデンサはセラミックコンデンサであることを特徴とする。
- [0017] 請求項4に係るDC/DCコンバータは、請求項1又は2に記載のDC/DCコンバータにおいて、前記平滑化コンデンサは等価直列抵抗の抵抗値が電解コンデンサよりも小さいものであることを特徴とする。
- [0018] 請求項5に係るDC/DCコンバータは、請求項1又は2に記載のDC/DCコンバータにおいて、前記コイル電流を検出する素子は前記平滑化コンデンサの等価直列抵抗よりも抵抗値が大きいことを特徴とする。
- [0019] 請求項6に係るDC/DCコンバータは、請求項1又は2に記載のDC/DCコンバータにおいて、前記コイル電流を検出する素子と前記平滑化コンデンサとにより周波数特性におけるゼロの周波数を設定することを特徴とする。

[0020] 請求項7に係るDC/DCコンバータは、スイッチング素子を開閉することにより、入力電源から負荷が接続される出力端子にコイルを通じて電力を供給し、スイッチング素子に帰還をかけて出力端子の電圧を調整するDC/DCコンバータにおいて、コイルと出力端子間に介装されてコイルに流れる電流を検出するコイル電流を検出する素子と、コイル電流を検出する素子の負荷側に接続されて出力端子の電圧を平滑化する平滑化コンデンサと、を備え、コイル電流を検出する素子と平滑化コンデンサとにより周波数特性におけるゼロの周波数を設定することを特徴とする。

発明の効果

[0021] 本発明のDC/DCコンバータは、基準電流値制御回路がコイル電流を検出する素子のコイル側の電圧を検出してコイルに流れる電流の基準電流値を制御するようにしたので、容量やESRの値(R_{ESR})が小さい平滑化コンデンサを採用しても負荷変動時の過渡応答が悪化することがなく、発振現象の発生も抑制される。また、平滑化コンデンサにセラミックコンデンサを採用することにより、極性のための破壊が起きず、発煙や発火の危険性がなくなり、小さいESRの値(R_{ESR})により出力電圧のリップルを減ずることができる。

図面の簡単な説明

[0022] [図1]本発明の実施形態に係るDC/DCコンバータの回路図である。

[図2]同上のオフセット電圧生成回路の回路図である。

[図3]同上の動作波形図である。

[図4]同上の出力電流と出力端子の電圧の特性を示すもので、(a)はDC特性図、(b)は過渡特性図である。

[図5]背景技術のDC/DCコンバータの回路図である。

[図6]同上の出力電流と出力端子の電圧の特性を示すもので、(a)はDC特性図、(b)は過渡特性図である。

[図7]コンデンサの内部回路図である。

[図8]DC/DCコンバータの周波数特性図である。

符号の説明

[0023] 1 DC/DCコンバータ

- 3 負荷
- 8 基準電流値制御回路
- 9 帰還回路
- 10 クロック発生器
- 14 スイッチング素子
- 16 コイル
- 17 コイル電流検出抵抗
- 18 平滑化コンデンサ
- V_{cc} 入力電源
- OUT 出力端子
- I_L コイルに流れる電流(コイル電流)
- CLK 基準クロック

発明を実施するための最良の形態

[0024] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の実施形態であるDC/DCコンバータの回路図である。

[0025] このDC/DCコンバータ1は、N型MOSトランジスタのスイッチング素子14を開閉することにより、入力電源(V_{cc})から負荷3が接続される出力端子OUTにコイル16を通じて電力を供給して出力端子OUTを所定のDC電圧に保持するよう調整する。そして、コイル16と出力端子OUT間に介装されてコイル電流(コイル16に流れる電流) I_L を検出する素子のコイル電流検出抵抗17と、コイル電流検出抵抗17の負荷側に接続されて出力端子OUTの電圧を平滑化する平滑化コンデンサ18と、コイル電流検出抵抗17のコイル側(接続点b)の電圧を検出してコイル電流 I_L の基準電流値 I_{Lref} を制御する基準電流値制御回路8と、クロック発生器10の基準クロックCLKに同期してスイッチング素子14を閉じ(オンし)、コイル電流 I_L が基準電流値 I_{Lref} を越えるとスイッチング素子14を開く(オフにする)帰還回路9と、を備えて構成される。ここで、平滑化コンデンサ18は、極性を持たず、発煙や発火の危険性がなくて信頼性の高いセラミックコンデンサが用いられている。なお、図1では、平滑化コンデンサ18の動作の理解を容易にするため、そのESR(等価直列抵抗)も表記している。

- [0026] さらにDC/DCコンバータ1を詳しく説明すると、スイッチング素子14は一端を入力電源(V_{cc})に接続され、他端はコイル16に接続される。そのスイッチング素子14とコイル16との接続点(接続点a)には、他端が接地電位に接続された第2のN型MOSTランジスタのスイッチング素子15が接続されている。すなわち、スイッチング素子14および第2のスイッチング素子15は、ハイサイドおよびローサイドのスイッチング素子となっている。この第2のスイッチング素子15は、スイッチング素子14と逆位相で開閉制御される。なお、第2のスイッチング素子15は、ダイオードによる置き換えも可能であるが、その場合に比べ、オン時にコイル16の一端をほぼ接地電位に保つので、電力効率を向上させることができる。
- [0027] コイル電流検出抵抗17は、コイル16の他端(接続点b)に接続され、コイル電流 I_L に比例する検出電圧を両端に生成する。ここで重要なことは、コイル電流検出抵抗17のコイル側(接続点b)には、直列接続された2つの抵抗からなる電圧検出器21が接続されていることである。この電圧検出器21の他端は、接地電位に接続されている。これらの抵抗は、コイル電流 I_L に比べて無視できる程の電流しか流れないように、大きな抵抗値になっている。そして、2つの抵抗の接続点は誤差増幅器22の反転入力端子に接続され、その電圧は、非反転入力端子に入力される基準電源23からの基準電圧と比較され、反転増幅して出力される。これら電圧検出器21と誤差増幅器22が基準電流値制御回路8を構成し、誤差増幅器22の出力は、後述するようにコイル電流 I_L の基準電流値 I_{Lref} を制御する。
- [0028] 帰還回路9は、誤差増幅器22の出力電圧に応じてオフセット電圧を生成するオフセット電圧生成器25と、このオフセット電圧をコイル電流検出抵抗17からの検出電圧と比較する比較器26と、基準クロックCLKと比較器26の出力とによりバッファ11、12を介してスイッチング素子14および第2のスイッチング素子15の開閉を制御するロジック回路27と、から構成される。なお、このオフセット電圧は、後述するようにコイル電流 I_L の基準電流値 I_{Lref} に対応する。
- [0029] オフセット電圧生成回路25は、その制御入力端子に誤差増幅器22の出力が入力され、2つの信号入力端子にコイル電流検出抵抗17の両端の電圧信号が入力される。そして、制御入力端子の電圧に応じたオフセット電圧が、信号入力端子の低い電

圧信号に相対的に付加されて2つの出力端子から出力され、比較器26の両入力端子に入力される。比較器26は、コイル電流検出抵抗17からの検出電圧がオフセット電圧よりも高ければハイレベルを、低ければローレベルを出力する。ロジック回路27は、フリップフロップ回路から構成される。そして、そのリセット入力端子Rには比較器26の出力が、セット入力端子Sにはクロック発生器10からの基準クロックCLKが、それぞれ入力され、非反転出力端子Qは出力バッファ11を介してスイッチング素子14に、反転出力端子QBは出力バッファ12を介してスイッチング素子15にそれぞれ入力される。

[0030] 次に、オフセット電圧生成回路25の具体的な回路例を図2に示す。制御入力端子ADJに誤差増幅器22の出力が、信号入力端子IN-にコイル電流検出抵抗17の負荷側の一端が、信号入力端子IN+にコイル電流検出抵抗17のコイル側の一端が、それぞれ接続され、出力端子OUT-、OUT+は比較器26の反転入力端子、非反転入力端子に、それぞれ接続される。制御入力端子ADJに対応する電流 I_1 が抵抗値 R_1 の抵抗31に流れ、この電流 I_1 は、カレントミラー回路で伝達され、抵抗32の両端に直列的に接続されるPNP型トランジスタ34とNPN型トランジスタ35に流れる。ここで、抵抗32および後述する抵抗33は抵抗値 R_2 になっている。

[0031] 抵抗32とPNP型トランジスタ34の接続点は、PNP型トランジスタ34と並列的に電流 I_1 を流す定電流源36が接続され、かつ、出力端子OUT-に接続されている。抵抗32とNPN型トランジスタ35の接続点には、NPN型トランジスタ35と並列的に設けられたPNP型トランジスタ38のエミッタが接続されている。また、抵抗33の両端は、電流 I_2 を流す定電流源37とPNP型トランジスタ39のエミッタがそれぞれ接続されている。抵抗33と定電流源37との接続点は、出力端子OUT+に接続されている。さらに、PNP型トランジスタ38のベースには入力端子IN-の電圧が、PNP型トランジスタ39のベースには入力端子IN+の電圧が入力される。

[0032] 入力端子IN-の電圧を V_{IN-} とすると、出力端子OUT-は、 $(V_{IN-}) + (V_{\beta}) + (I_1 + I_2) \times R_2$ の電圧となる。また、入力端子IN+の電圧を V_{IN+} とすると、出力端子OUT+は、 $(V_{IN+}) + (V_{\beta}) + I_2 \times R_2$ の電圧となる。ここで、 V_{β} はトランジスタの順バイアス電圧である。したがって、出力端子OUT-と出力端子OUT+の電圧差は $(V_{IN-}) - (V_{IN+}) + I_1 \times R_2$

となり、 $I_1 \times R_2$ は制御入力端子ADJの電圧の R_2/R_1 倍に一致するので、この電圧が、オフセット電圧として入力端子IN-の電圧に相対的に付加されて出力端子OUT-から出力されることになるのである。

[0033] 以上のような構成にすると、オフセット電圧生成回路25において精度の良いオフセット電圧を生成させることができるが、別の構成にすることが可能であることは勿論である。

[0034] 次に、DC/DCコンバータ1の動作を図3に基づいて説明する。DC/DCコンバータ1において、クロック発生器10からの基準クロックCLKの立ち上がりエッジにより、ロジック回路27はセットされ、非反転出力端子Qからはハイレベル、反転出力端子QBからはローレベルの電圧が出力される。それにより、スイッチング素子14がオン（第2のスイッチング素子15はオフ）することで、スイッチング素子14とコイル16との接続点aの電圧 V_a は V_{cc} のレベルとなり、コイル電流 I_L は直線的に増加して行く。このコイル電流 I_L は、コイル電流検出抵抗17に流れ、それに比例する検出電圧がオフセット電圧生成回路25が生成するオフセット電圧を越えるまで、増加し続ける。オフセット電圧を越えると、すなわち、コイル電流 I_L が基準電流値 I_{Lref} を越えると、比較器26がハイレベルを出力し、ロジック回路9はリセットされて、非反転出力端子Qからはローレベル、反転出力端子QBからはハイレベルの電圧が出力される。その結果、スイッチング素子14はオフし、第2のスイッチング素子15はオンすることにより、コイル電流 I_L は直線的に減少する。以上の動作がDC/DCコンバータ1において繰り返される。

[0035] コイル電流 I_L の基準電流値 I_{Lref} は、オフセット電圧生成回路25を通じて、電圧検出器21と誤差増幅器22とからなる基準電流値制御回路8により制御される。すなわち、DC/DCコンバータ1において、コイル電流検出抵抗17のコイル側（接続点b）の電圧がわずかに下がると、その電圧のずれは電圧検出器21を通り、誤差増幅器22により反転増幅されてオフセット電圧生成回路25の制御入力端子に入力される。すると、オフセット電圧生成回路25のオフセット電圧は上昇するため、基準電流値 I_{Lref} は増加する。逆に、コイル電流検出抵抗17のコイル側（接続点b）の電圧がわずかに上がると、基準電流値 I_{Lref} は減少する。このようにして、基準電流値 I_{Lref} が制御され、コイル電流検出抵抗17のコイル側（接続点b）の電圧が一定になるように、帰還回路9が動

作するのである。

- [0036] 次に、出力端子OUTにおける出力電圧 V_o のリップル(揺らぎ) ΔV_o について説明する。コイル電流 I_L は、前述の通り、直線的な増加と減少を繰り返すため、一定の変動幅、すなわちリップル ΔI_L を有する。コイル電流 I_L は、コイル電流検出抵抗17を通して、出力端子OUTから負荷3に流れ出る一定の出力電流 I_o と平滑化コンデンサ18の充放電電流 I_c とに分かれる。ここで、コイル電流 I_L のリップル ΔI_L は平滑化コンデンサ18の充放電電流 I_c のリップル ΔI_c になる。したがって、出力電圧 V_o のリップル ΔV_o は、

$$\Delta V_o = \Delta I_c \times R_{ESR} = \Delta I_L \times R_{ESR} \quad \cdots (4)$$

となる。ここで、 R_{ESR} は平滑化コンデンサ18のESRの値である。

- [0037] 平滑化コンデンサ18は、前述のようにセラミックコンデンサであり、 R_{ESR} は小さく、例えば、 $5\text{m}\Omega$ である。電解コンデンサの R_{ESR} は大きく、例えば、 $20\text{m}\Omega$ である。したがって、これらの値を(4)式に当てはめると、セラミックコンデンサの場合は、電解コンデンサの場合に比べ、リップル電圧 ΔV_o を4分の1に減ずることができることが分かる。

- [0038] 次に、DC/DCコンバータ1における負荷の変動による過渡応答について説明する。前述のように、基準電流値制御回路8と帰還回路9により、コイル電流検出抵抗17のコイル16側(接続点b)の電圧が所定の一定電圧 V_{ref} に保たれる。したがって、出力電流 I_o が増加した場合は、出力端子OUTの電圧 V_o は、以下の式に示すようにわずかに下がる。すなわち、

$$V_o = V_{ref} - I_o \times R_s \quad \cdots (5)$$

となる。よって、出力電流 I_o に対する出力電圧 V_o のDC特性は図4(a)に示すようになる。なお、このDC/DCコンバータ1において、ユーザに保証される最大出力電流 $I_{o,max}$ での出力電圧 V_o の低下の幅は、当然に、仕様で決められる変動許容範囲内になければならない。

- [0039] この過渡特性を図4(b)に示す。この図で示すように、出力電流 I_o の増加に従って出力電圧 V_o もわずかに低下させることで、前述の図6(b)に示したようなアンダーシュートやオーバシュートを抑制することができる。すなわち、負荷3に応じて出力電流 I_o の急激な変動が起こった場合、容量値が小さいセラミックコンデンサを用いたDC/

DCコンバータ1は元々出力電圧 V_o も過渡的な変動が起こり易いが、その過渡的な変動をDC特性に沿った変動とすることで、DC/DCコンバータ1の帰還回路が応答できるまでのアンダーシュートやオーバシュートを抑制できるのである。さらに、他の利点として、出力電流 I_o の増加に対する出力電圧 V_o の低下は、消費電力を低減することもできる。

- [0040] 次に、DC/DCコンバータ1の発振の問題について説明する。上記の通り、DC/DCコンバータ1は、電圧検出器21をコイル電流検出抵抗17のコイル側(接続点b)に接続しているので、この電圧が、基準電流値制御回路8と帰還回路9により、所定の一定電圧に保たれる。このことにより、上記(2)式において、 R_{ESR} にコイル電流検出抵抗17の抵抗値 R_s を足した抵抗値($R_{ESR} + R_s$)が R_{ESR} に置き換わる。すなわち、DC/DCコンバータ1は、1ポール、1ゼロの周波数特性を有し、このポールの周波数(f_p)とゼロの周波数(f_z)は、以下の式で求められる。

$$f_p = 1 / (2\pi \cdot R_o \cdot C_{OUT}) \quad \cdots (6)$$

$$f_z = 1 / (2\pi \cdot (R_{ESR} + R_s) \cdot C_{OUT}) \quad \cdots (7)$$

ここで、 R_o は負荷の抵抗値、 C_{OUT} は平滑化コンデンサ18の容量値、 R_{ESR} は平滑化コンデンサ18のESRの値、 R_s はコイル電流検出抵抗17の抵抗値である。このように、コイル電流検出抵抗17と平滑化コンデンサ18とにより周波数特性におけるゼロの周波数(f_z)が設定されている。

- [0041] (7)式に従うと、(2)式の場合に比べて f_z は小さくなり、よって、 f_p と f_z の周波数差は小さく、位相の回転は抑制され、発振し難くなる。具体的に、 $R_s = 15m\Omega$ とし、セラミックコンデンサの場合の前述の値($R_o = 0.5\Omega$ 、 $C_{OUT} = 100\mu F$ 、 $R_{ESR} = 5m\Omega$)を(6)、(7)式に当てはめると、 $f_p = 3.18KHz$ 、 $f_z = 79.6KHz$ となり、 f_z は f_p の約25倍となる。したがって、 R_{ESR} が小さいセラミックコンデンサを用いても、このDC/DCコンバータ1の構成とすることで、 f_z と f_p との周波数差は、上記の図5の構成での電解コンデンサを用いた場合と同等になるのである。

- [0042] なお、本発明は、DC/DCコンバータにセラミックコンデンサを用いるために行われたものであるが、他のコンデンサの場合でも、この構成にすることで負荷変動時の過渡応答の悪化防止や発振現象の発生の抑制などの効果を得ることができる。

請求の範囲

- [1] スイッチング素子を開閉することにより、入力電源から負荷が接続される出力端子にコイルを通じて電力を供給し、出力端子の電圧を調整するDC/DCコンバータにおいて、
- コイルと出力端子間に介装されてコイル電流を検出する素子と、
- コイル電流を検出する素子の負荷側に接続されて出力端子の電圧を平滑化する平滑化コンデンサと、
- コイル電流を検出する素子のコイル側の電圧を検出してコイルに流れる電流の基準電流値を制御する基準電流値制御回路と、
- クロック発生器の基準クロックに同期してスイッチング素子を閉じ、コイルに流れる電流が基準電流値を越えるとスイッチング素子を開く帰還回路と、
- を備えてなることを特徴とするDC/DCコンバータ。
- [2] 請求項1に記載のDC/DCコンバータにおいて、
- 前記コイル電流を検出する素子はコイル電流検出抵抗であることを特徴とするDC/DCコンバータ。
- [3] 請求項1又は2に記載のDC/DCコンバータにおいて、
- 前記平滑化コンデンサはセラミックコンデンサであることを特徴とするDC/DCコンバータ。
- [4] 請求項1又は2に記載のDC/DCコンバータにおいて、
- 前記平滑化コンデンサは等価直列抵抗の抵抗値が電解コンデンサよりも小さいものであることを特徴とするDC/DCコンバータ。
- [5] 請求項1又は2に記載のDC/DCコンバータにおいて、
- 前記コイル電流を検出する素子は前記平滑化コンデンサの等価直列抵抗よりも抵抗値が大きいことを特徴とするDC/DCコンバータ。
- [6] 請求項1又は2に記載のDC/DCコンバータにおいて、
- 前記コイル電流を検出する素子と前記平滑化コンデンサとにより周波数特性におけるゼロの周波数を設定することを特徴とするDC/DCコンバータ。
- [7] スイッチング素子を開閉することにより、入力電源から負荷が接続される出力端子

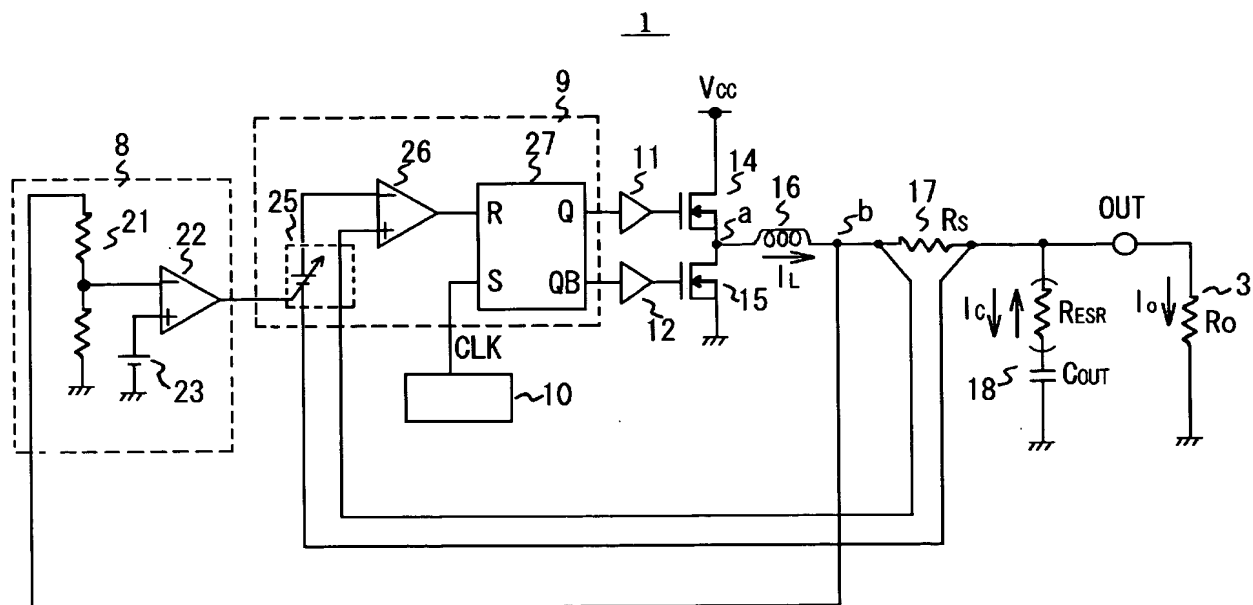
にコイルを通じて電力を供給し、スイッチング素子に帰還をかけて出力端子の電圧を調整するDC/DCコンバータにおいて、

コイルと出力端子間に介装されてコイルに流れる電流を検出するコイル電流を検出する素子と、

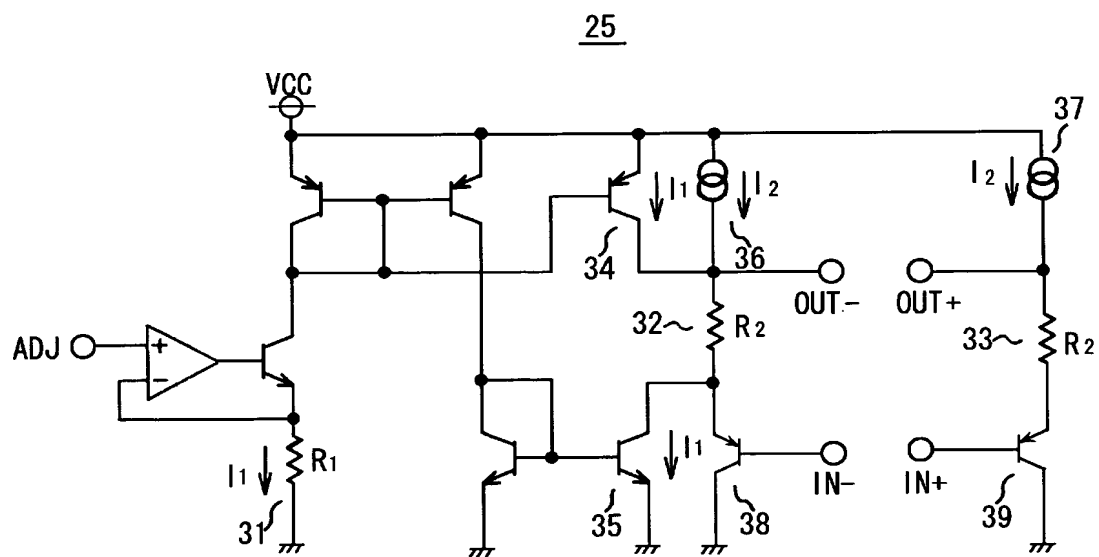
コイル電流を検出する素子の負荷側に接続されて出力端子の電圧を平滑化する平滑化コンデンサと、を備え、

コイル電流を検出する素子と平滑化コンデンサとにより周波数特性におけるゼロの周波数を設定することを特徴とするDC/DCコンバータ。

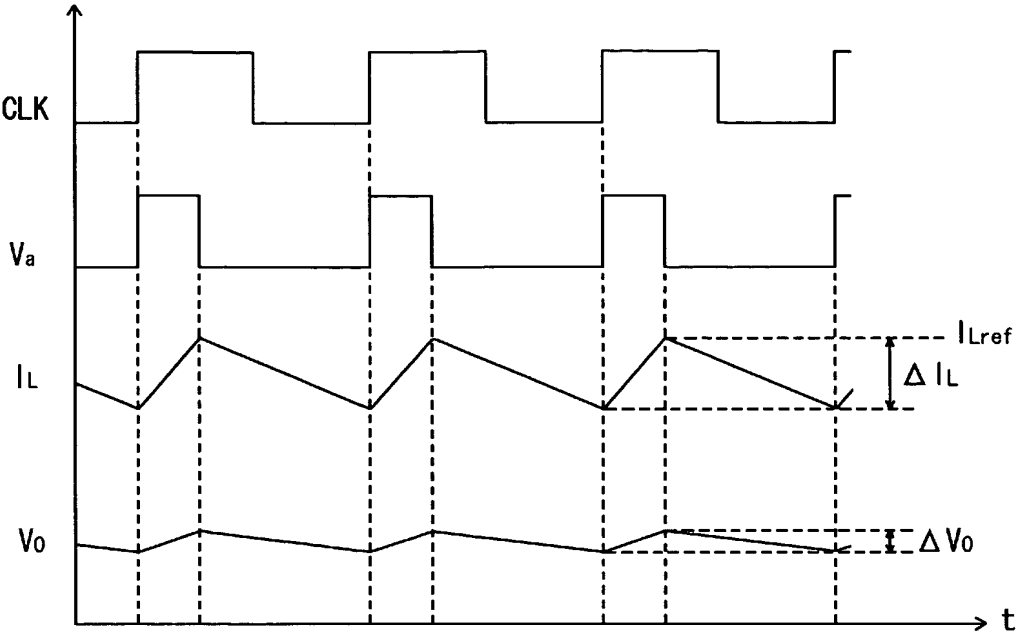
[図1]



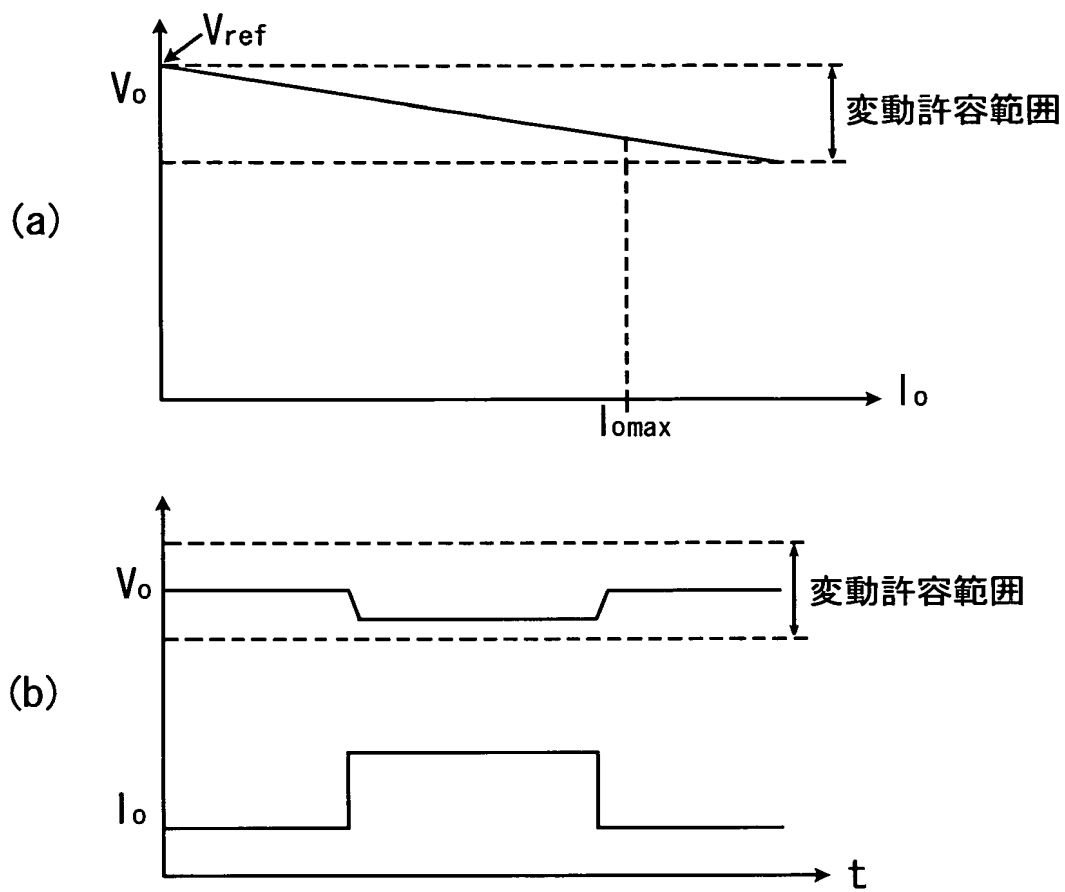
[図2]



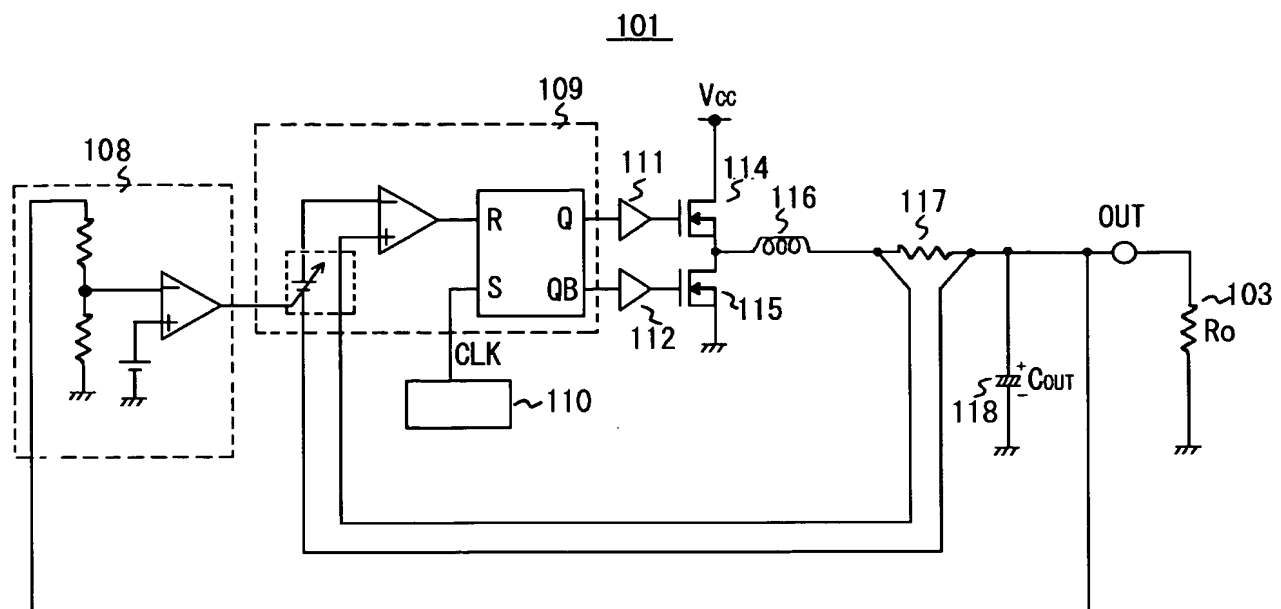
[図3]



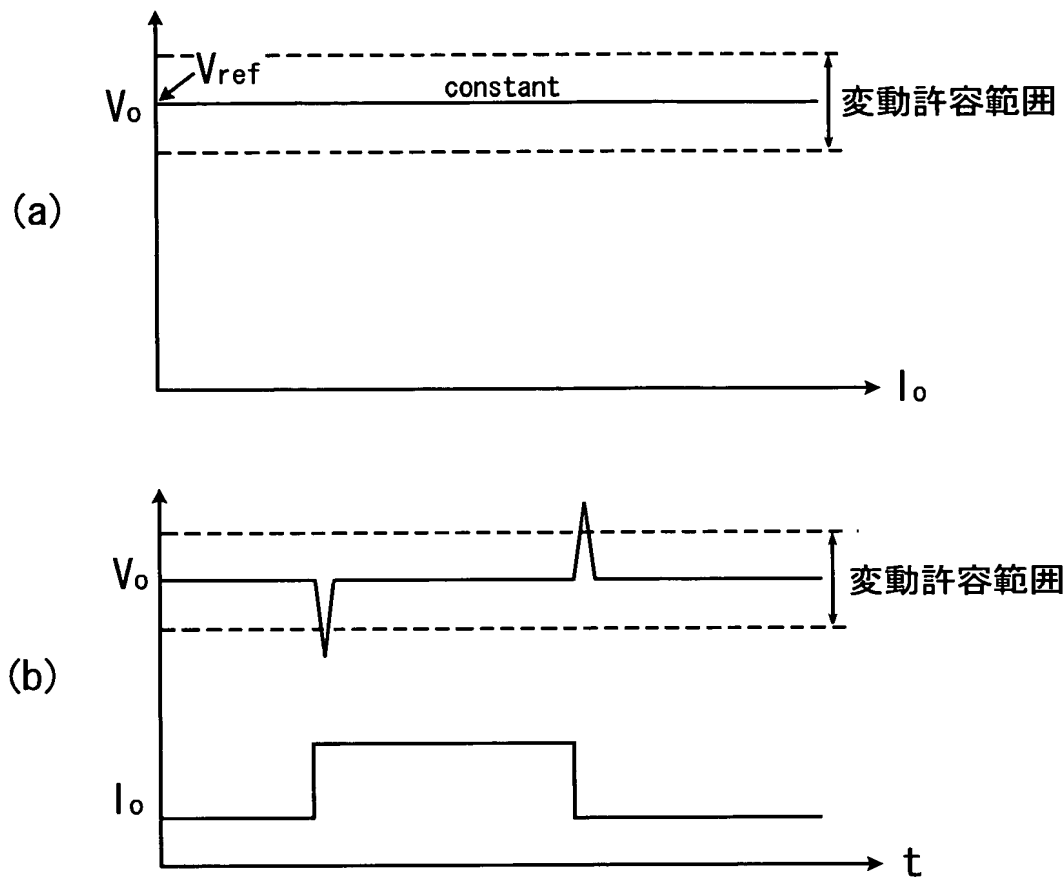
[図4]



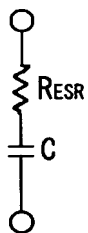
[図5]



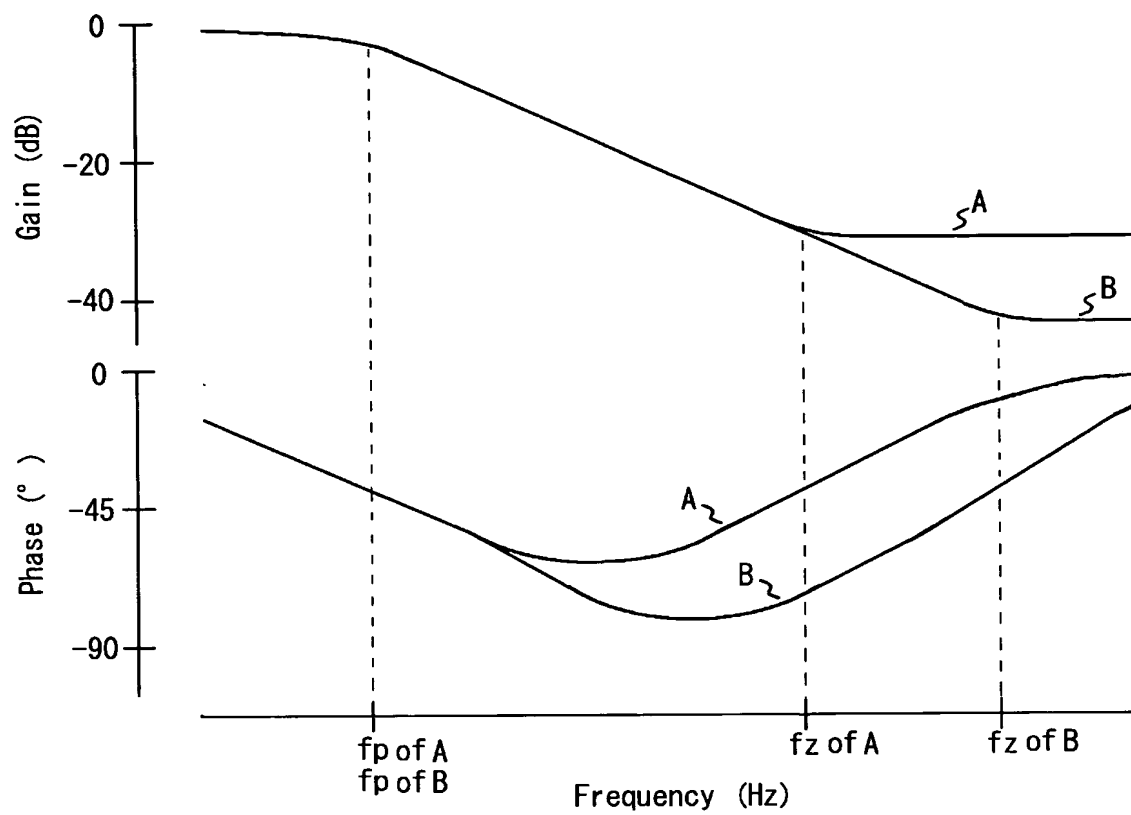
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016720

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H02M3/00-3/44Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-319643 A (Rohm Co., Ltd.), 07 November, 2003 (07.11.03), Par. Nos. [0020] to [0048]; Fig. 1 & US 2003/201760 A1 & CN 1453926 A	1-7
Y	JP 2000-299978 A (Analog Devices, Inc.), 24 October, 2000 (24.10.00), Par. Nos. [0001] to [0015]; Fig. 1 & US 6229292 B1 & US 6064187 A1	1-7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 February, 2005 (21.02.05)Date of mailing of the international search report
08 March, 2005 (08.03.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/155

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2003-319643 A (ローム株式会社) 07.11.2003, 【0020】-【0048】, 図1 & US 2003/201760 A1 & CN 1453926 A	1-7
Y	J P 2000-299978 A (アナログ テバイセス イ ンコーポレーテッド) 24.10.2000, 【0001】-【0 015】, 図1 & US 6229292 B1 & US 6064187 A1	1-7

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

21.02.2005

国際調査報告の発送日

08.3.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3 V 3328

電話番号 03-3581-1101 内線 3356